

El Computador Personal como Analizador de Estados Lógicos de bajo costo

Gerónimo Bellasai

Laboratorio de Electrónica Digital
Universidad Católica Nuestra Señora de la Asunción
Asunción - Paraguay

Se describe en este artículo un ANALIZADOR DE ESTADOS LÓGICOS (A.E.L.) muy simple y económico que conectado a una Computadora Personal (P.C.) permite el análisis de circuitos digitales.

En efecto, este A.E.L. es en realidad una interfase con una pequeña memoria auxiliar donde se guardan en forma muy veloz los estados lógicos de diferentes puntos del circuito digital en análisis; para pasar posteriormente dichos datos a la memoria de la P.C. para su estudio detallado y conveniente.

El analizador, en sus dos versiones, fue diseñado en el Laboratorio de Electrónica Digital (L.E.D.) de la Universidad Católica Nuestra Señora de la Asunción, para uso de los estudiantes de Ingeniería Electrónica e Informática. Es ideal para fines didácticos por su bajo costo, suponiendo que ya se posee una P.C., sencillez en el uso y simplicidad del circuito que permite la fácil comprensión de su funcionamiento

1- ANALIZADOR DE ESTADOS LÓGICOS

1.1- PRINCIPIO DE FUNCIONAMIENTO

En sistemas analógicos, cada punto contiene señales con la información "completa", o sea que cada señal, al ser observada en un osciloscopio nos proporciona en sí misma "una información" acerca del funcionamiento del sistema en estudio; por lo que generalmente es suficiente poder visualizar simultáneamente hasta dos señales.

En sistemas digitales en cambio, la información viaja en varias líneas (ocho, dieciséis o más) llamadas "bus", en un código (generalmente binario) siendo imprescindible observar simultáneamente todas las líneas para obtener "la información". Por otra parte raras veces las señales son sincrónicas lo que elimina por completo al osciloscopio común para el análisis.

Aparece entonces el analizador de estados lógicos, como el instrumento propio para el análisis de los sistemas digitales, así como el osciloscopio lo es para sistemas analógicos.

Un analizador de estados lógicos consta básicamente de una memoria en la que se almacenan los estados lógicos de 8, 16, 24 o 32 puntos del sistema analizado simultáneamente, en sincronismo con los pulsos de un reloj (clock) durante el funcionamiento de dicho sistema. Los datos así almacenados pueden luego ser visualizados en tablas de distintos formatos, como binario, octal, y hexadecimal o en forma gráfica en diagramas de tiempos.

La presentación binaria o gráfica es útil cuando se desea verificar una secuencia de estados en cada punto individualmente; mientras la presentación hexadecimal u octal cuando se trabaja con el bus de datos o direcciones de microprocesadores.

Todo A.E.L., generalmente incluye en los circuitos que acoplan los datos de entrada a la memoria, un circuito de palabra de disparo (P.D.). Esto sirve para dar la posibilidad de que la secuencia de datos se graben en memoria solamente a partir del momento en que aparezcan los datos en una combinación dada, seleccionable, llamada palabra de disparo.

1.2-ESQUEMA GENERAL

Las partes fundamentales de un A.E.L. son, como se ve en el diagrama en bloques de la Fig. 1; la memoria donde se almacenan los datos que llegan a través de las puertas de entrada de datos, el circuito comparador palabra de disparo que compara los datos de entrada con las llaves de selección de palabra de disparo para habilitar o no, la lectura de la memoria, y finalmente el sistema procesador que tiene dos funciones; controlar el funcionamiento del sistema por medio de los circuitos de control de Muestreo y Lectura y procesar los datos una vez terminado el muestreo, para su visualización y análisis.

Podríamos decir que mientras la memoria constituye el corazón del A.E.L., el sistema procesador es el cerebro ya que debe ser un sistema inteligente, capaz de ser programado para procesar los datos tomados y mostrarlos de modo que puedan ser comprendidos y analizados.

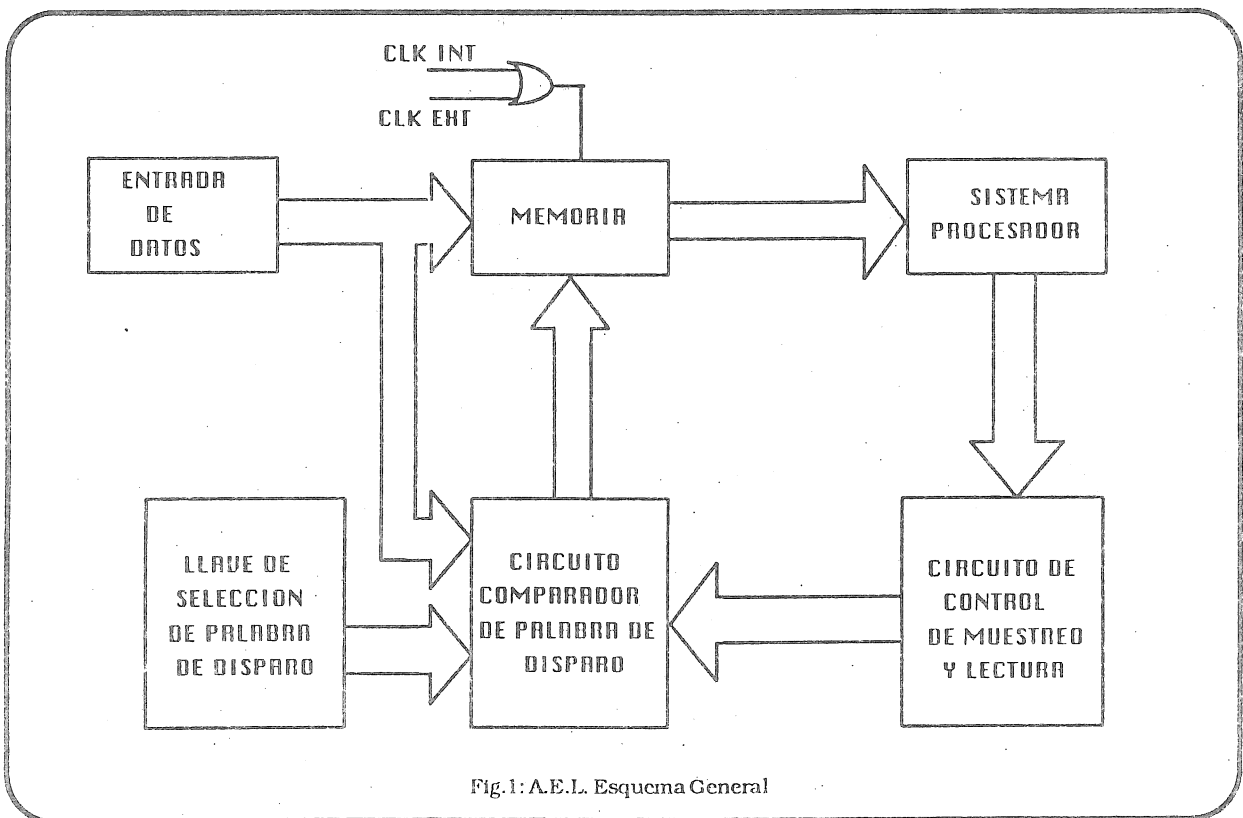


Fig.1: A.E.L. Esquema General

1.3-COSTOS

El costo de un A.E.L. comprado estaría alrededor de los 5.000 (cinco mil) dólares americanos; lo que vuelve imposible poseer varios para fines didácticos, por la suma que representa, no siempre accesible, y por el riesgo que significa poner en manos de aprendices un aparato tan costoso.

Por lo ya expuesto, es fácil deducir que en todo A.E.L. el sistema procesador representa la parte más costosa. El objeto de este trabajo es eliminar ese costo, aprovechando el sistema procesador de una **Personal Computer** (que se supone ya se tiene), y simplificar algunas cosas del resto del analizador.

La interfase para la P.C. aquí desarrollada representa un costo de aproximadamente solo 100 (cien) dólares americanos. Además es sumamente simple, tanto en el **Hardware** como en el **Software**, de modo que el estudiante puede conocer y comprender en profundidad la herramienta que utiliza y hasta modificarla. Sirve de ese modo, como una excelente introducción al uso de A.E.L.s más complejos que estarán a disposición sólo para estudiantes avanzados e investigadores.

2- LA INTERFASE PARA P.C.

Hemos desarrollado dos soluciones para utilizar una P.C. como A.E.L..

La **versión A**, es más sencilla y menos engorrosa en su conexión a la P.C.; la **versión B** en cambio es mucho más veloz en el paso de los datos a la P.C. y por consiguiente más ágil para su uso.

2.1.-VERSION A

2.1.1.-DESCRIPCION GENERAL

En esta versión la P.C. se comunica con la interfase por medio de instrucciones de entrada/salida (I/O). Se utiliza solo el bus de datos para los intercambios de información.

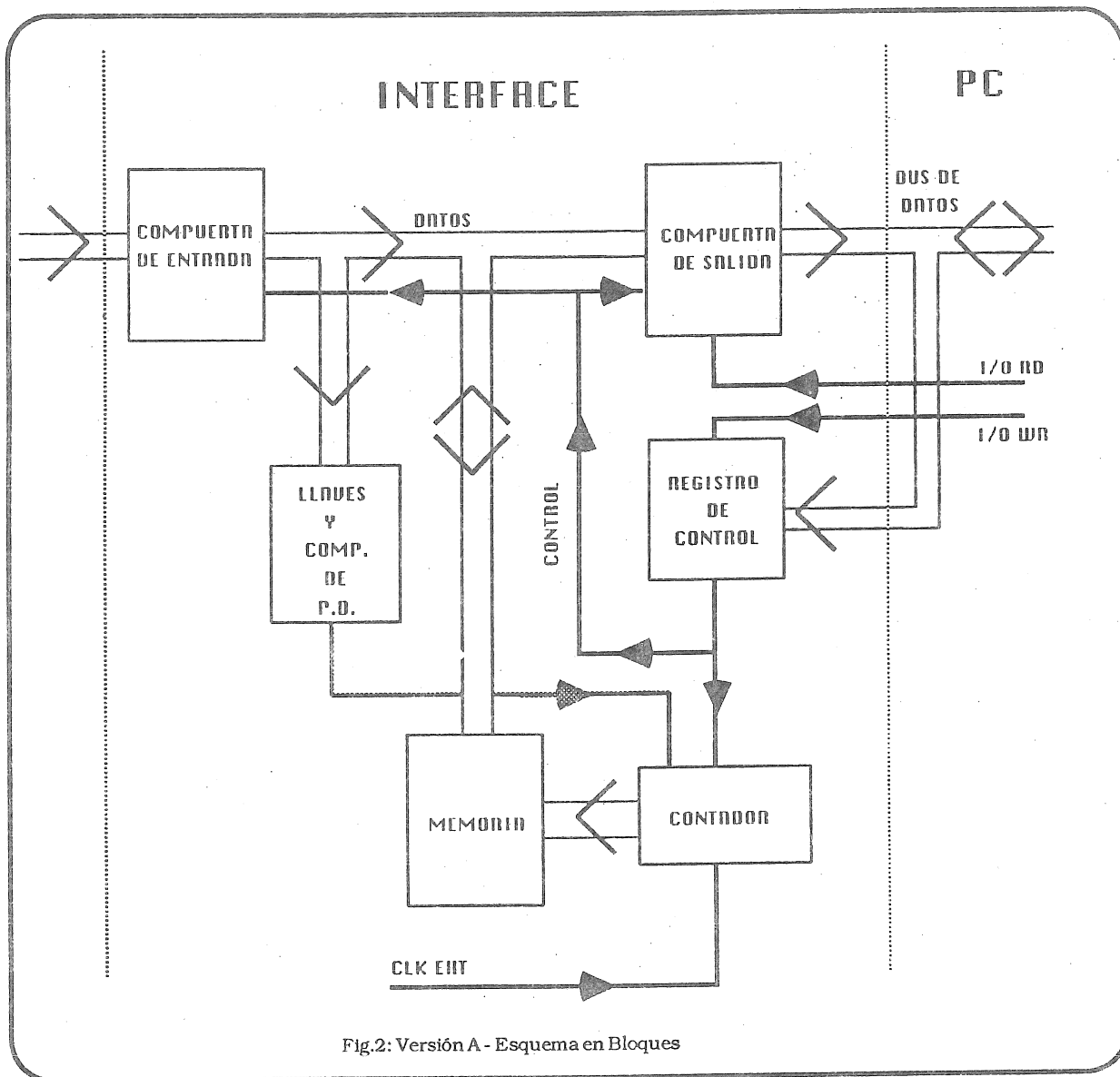


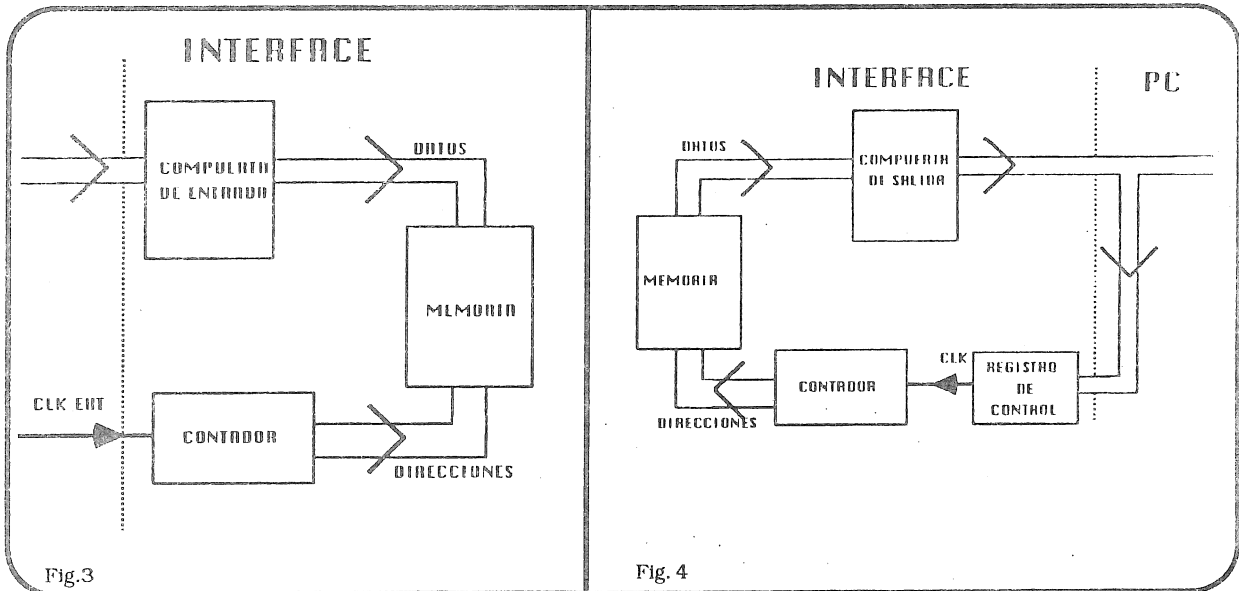
Fig.2: Versión A - Esquema en Bloques

La P.C. accede a los datos de memoria a través de la compuerta de salida (en Fig. 2), utilizando instrucciones de lectura; y controla el funcionamiento del sistema a través de un registro de control utilizando instrucciones de escritura.

El funcionamiento básico es el siguiente:

- Durante el muestreo (ver Fig.3), la memoria guarda los estados lógicos del sistema en estudio en las direcciones dadas por el contador. Este, a su vez, cuenta los pulsos de un reloj (CLOCK) que pueden venir del mismo sistema.

El comparador de palabra de disparo, que no se ha dibujado, determina el momento en que será habilitado el contador y por tanto, el momento en que se iniciará efectivamente el muestreo.



- Durante la lectura de datos (ver Fig. 4) la P.C. recibe los datos que ya se encuentra en memoria en las direcciones dadas por el contador que recibe el CLK, esta vez de la misma P.C. por medio de instrucciones de escritura de entrada/salida.

En la Fig. 5, vemos el diagrama de flujo simplificado del programa ejecutado por la P.C. durante la lectura. Como se puede apreciar el gran número de instrucciones de entrada/salida hacen lento el paso de los datos de la memoria de la interfase a la memoria de la P.C.; tiempo al que habrá de sumar, el necesario para procesar dichos datos y mostrarlos en pantalla; solo luego, podrán ser analizados por el usuario.

2.1.2.-DESCRIPCION DETALLADA

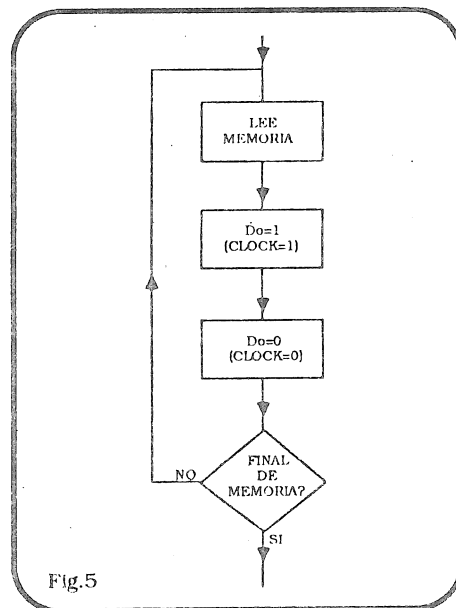
Vamos a hacer una descripción detallada de la versión A en base al esquema de la Fig. 6.:

PALABRA DE CONTROL

La P.C. escribe, usando instrucciones de entrada/salida, en el registro de control (6), un dato de cuatro bits llamado palabra de control que sirve para controlar el funcionamiento de la interfase. Estos cuatro bits son:

- D0.....CLOCK
- D1...../CLEAR
- D2...../READ
- D3.....P.D.

El registro de control esta constituido por cuatro FLIP-FLOPs (F.F.) tipo D correspondientes a cada bit.



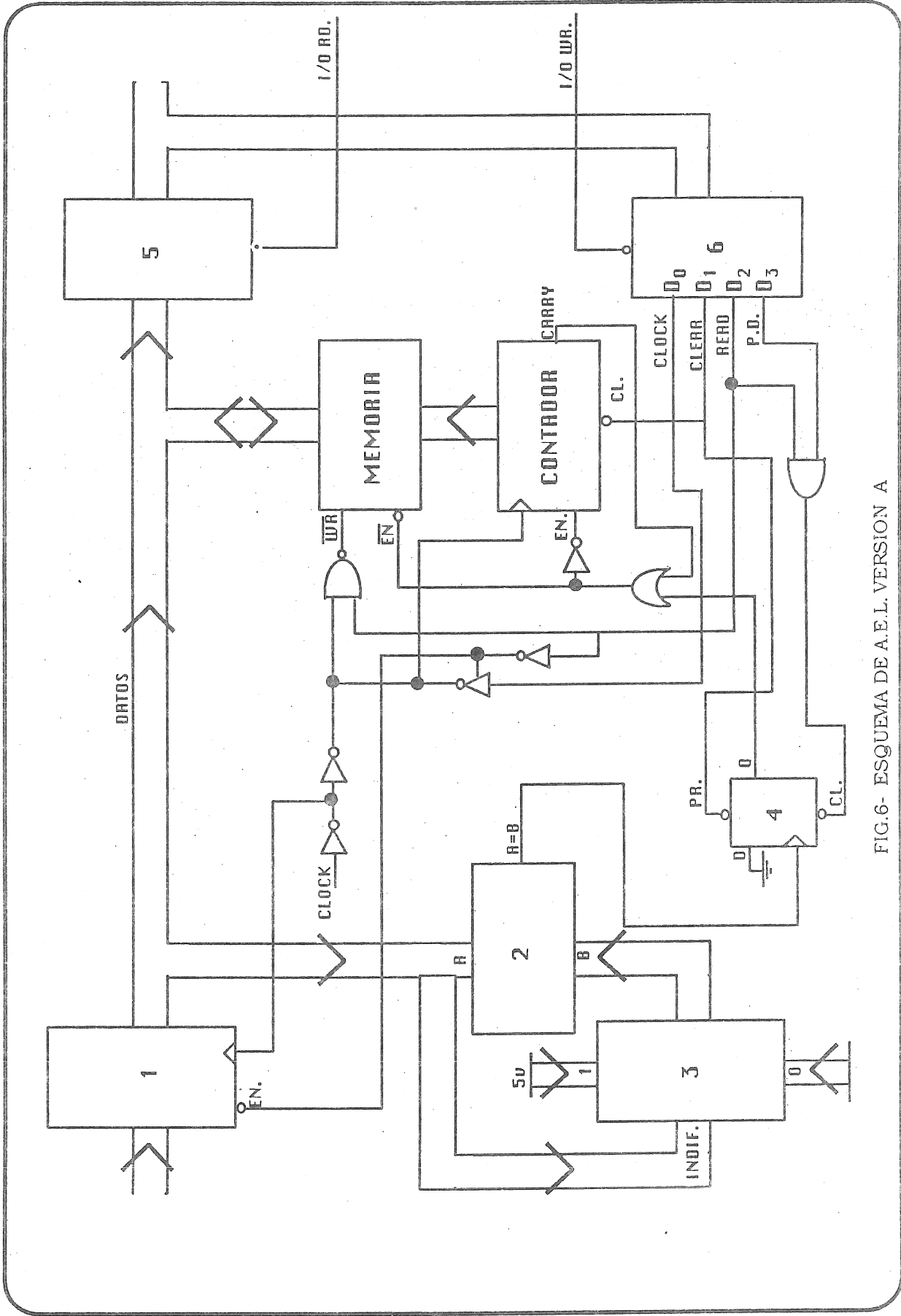


FIG. 6- ESQUEMA DE A.E.L. VERSION A

ENTRADA DE DATOS

La **compuerta de entrada (1)** esta formada por F.F.s tipo D que aprovechan la transición positiva del **CLK** para congelar los datos en el bus de datos mientras el **contador** incrementa la dirección. Durante la transición negativa del mismo **CLK** la **memoria** (RAM estática) graba el dato presente en el bus en la dirección indicada por el contador. Cuando el contador finaliza el conteo se produce un acarreo (carry) que lo autodeshabilita.

PALABRA DE DISPARO

Si se desea usar P.D., el *bit D3* de la **palabra de control** debe valer 1. De este modo el **F.F. de habilitación (4)** deshabilita el **contador** y la **memoria** hasta que el **comparador (2)** encuentre en el bus de datos una palabra igual a aquella seleccionada por las **llaves (3)**.

Cuando esto ocurra el **F.F.** cambiará de estado y habilitará el **contador** y la **memoria** para la entrada de datos hasta que se reinicie el muestreo. Cada bit de la P.D. se puede seleccionar, en forma independiente, en uno, indiferente o cero por medio de una llave. Para seleccionar el estado indiferente se conecta el bit de la entrada **B** del **comparador (2)** al correspondiente bit de la entrada **A**.

LECTURA DE DATOS

Poniendo el *bit D2* de la **palabra de control** en 0, el **contador** y la **memoria** quedan permanentemente habilitados. La **memoria** queda inhibida para grabar nuevos datos y solo es posible leerla. De este modo la P.C. por medio del *bit D0* de la **palabra de control** envía los pulsos de **CLK** al **contador** para incrementar la dirección y leer los datos a través de la **compuerta de salida (5)** (BUFFERS DRIVER 3 - STATE), según el digrama de flujo de la Fig. 5.

INICIALIZACION

El *bit D1* pone al **contador** en cero, y al **F.F. de habilitación (4)** en posición deshabilitar si la opción P.D. se ha elegido.

2.2.-VERSION B

En esta versión, a diferencia de la A, se utiliza el bus de direcciones a más del bus de datos de la P.C. (ver Fig. 7).

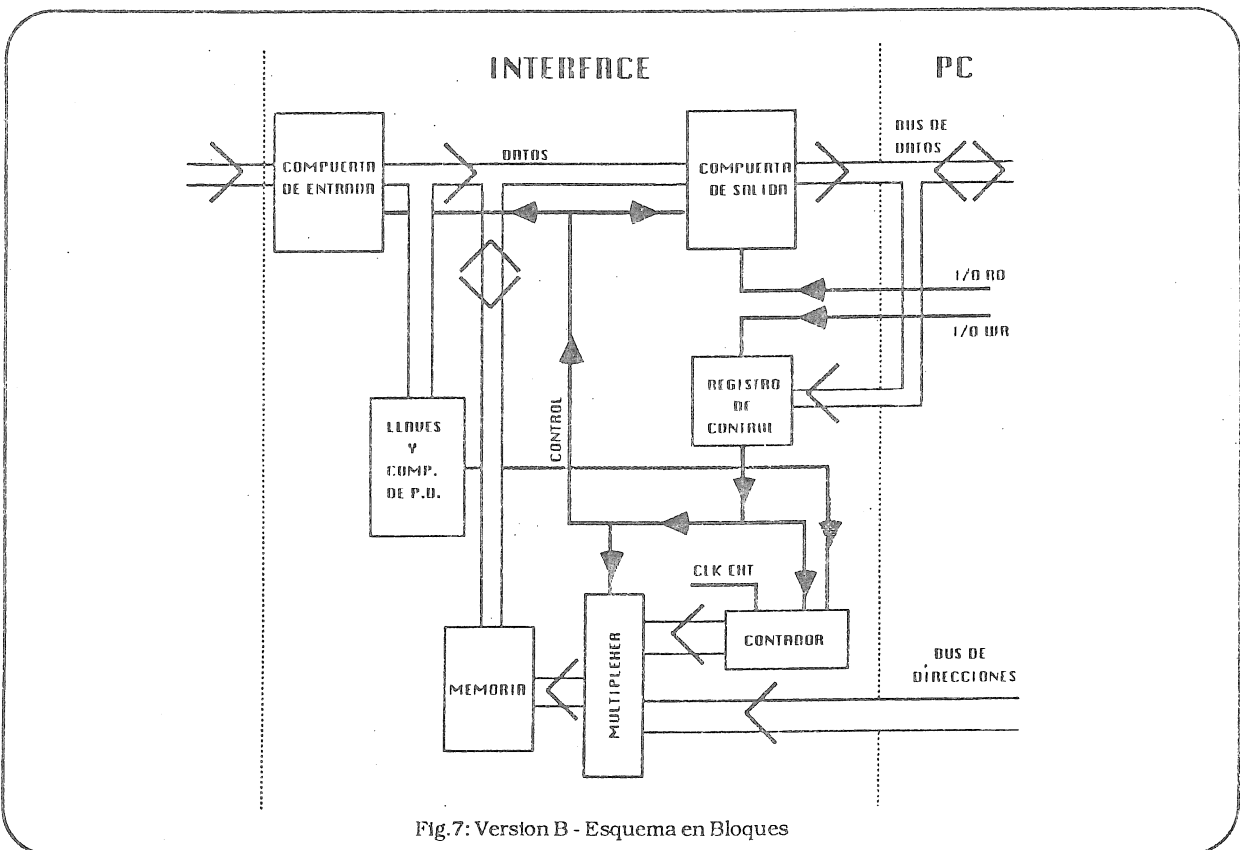


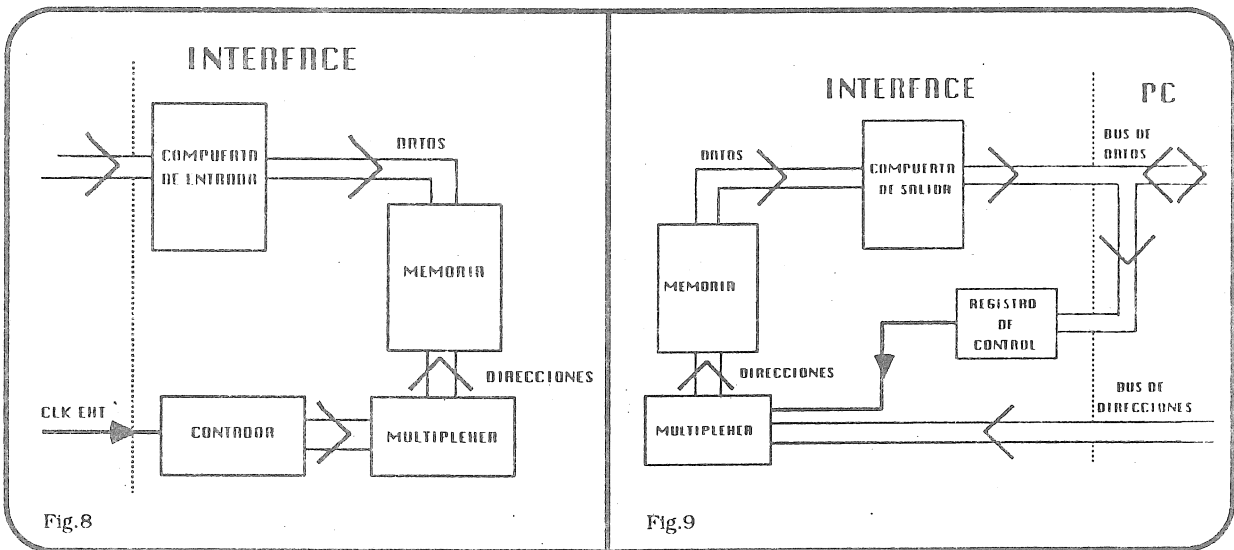
Fig.7: Version B - Esquema en Bloques

Aquí al igual, que en la versión A, la P.C. controla el funcionamiento del sistema a través de un **registro** utilizando instrucciones de *entrada/salida de escritura*. Sin embargo, el acceso a los datos de **memoria** se efectúa por medio de instrucciones de *lectura de memoria*, lo que se realiza muy velozmente.

El funcionamiento básico se resume de la siguiente forma:

-Durante el *muestreo* funciona exactamente de la misma forma que la versión A (ver Fig.8).. Por medio del **multiplexor** se conecta el bus de direcciones de la **memoria** al **contador** que se incrementa por medio del **CLK**.

-Durante la *lectura de datos*, en cambio, (ver Fig.9), por medio de una instrucción de *entrada/salida de escritura* la P.C. envía una **palabra de control** a la interfase que conecta el bus de direcciones de la **memoria** al bus de direcciones de la P.C. y de ese modo la **memoria de la interfase** pasa a formar parte del **mapa de memoria de la P.C.** y por tanto el acceso a los datos para el procesamiento es inmediato.



Para esto, debe disponerse de una zona de memoria no utilizada (por ejemplo una zona destinada a una ROM no instalada).

Con esto, sólo es necesaria una instrucción de *entrada/salida de escritura* para que toda la información esté ya "dentro de la P.C.". Por tanto, el programa queda enormemente simplificado y el tiempo de acceso reducido.

Para una descripción más detallada podemos decir que a la versión A, Fig. 6, habría que hacerle las siguientes modificaciones:

-Agregar el circuito multiplexor de modo que las direcciones de la memoria provengan, ya sea del contador, como del bus de direcciones de la P.C.

-Este multiplexor debe seleccionar también los controles **/WR** y **/EN** de la memoria que podrán provenir de la interfase misma, como en la versión A, o de los decodificadores de la P.C. correspondientes a la zona de memoria en la que se va a ubicar.

-Agregar un F.F. más al registro de control que servirá para controlar al multiplexor.

A cambio de las enormes ventajas, la versión B no representa un Hardware mucho más complejo ni el porcentaje de aumento en el costo es muy grande.

3- CONCLUSION

Atravez de este artículo, se ha mostrado ésta interfase para P.C. con la que se logra, con mucha sencillez, analizar el funcionamiento de un sistema digital. Es especialmente útil para fines didácticos por su muy bajo costo, y por la fácil comprensión por parte del alumno que puede así apropiarse de la tecnología, usándola, analizándola y, por último, modificándola para sus necesidades particulares.

Al mismo tiempo se apunta más lejos; con este ejemplo se trata de desmitificar "las costosas instrumentaciones para la enseñanza de la Electrónica", mostrando como no siempre lo más caro y sofisticado es la mejor solución didáctica.

BIBLIOGRAFIA

- [1] Almaini A.E.A., "Electronic Logic Systems", Prentice Hall International, UK, 1986
- [2] Cannon D.L., "Understanding Digital Troubleshooting", The Texas Instrument Learning Center, USA, 1984
- [3] Slater M., Bronson B., "I Microprocessori in Pratica, IIW SW e Ricerca Guasti", Jackson Italiana Editrice, I, 1980
- [4] Eccles W.J., "Microprocessors Systems a 16-bit Approach", Addison Wesley Inc., 1985
- [5] Osborne A., Kane J., Reclor R., Jacobson S., "Programmazione dello Z80 e Progettazione Logica", Jackson Italiana Editrice, I, 1981
- [6] Schuchner J., Utard M., Ortiz C., "Analizador de Estados Logicos", Revista Telefonica Electronica, Julio 1983, pp. 632-637
- [7] Artwick B.A., "Microcomputer Interfacing", Prentice Hall Inc., NJ USA, 1980